



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0013645
Application Number

출원 년 월 일 : 2003년 03월 05일
Date of Application MAR 05, 2003

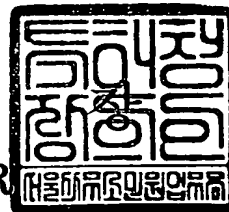
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2003.03.05
【발명의 명칭】	플래시 메모리의 बैं크 분할 장치
【발명의 영문명칭】	Apparatus of dividing bank of a flash memory
【출원인】	
【명칭】	(주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	박진수
【성명의 영문표기】	PARK, Jin Su
【주민등록번호】	701211-1674019
【우편번호】	702-053
【주소】	대구광역시 북구 침산3동 침산청구타운 103-306
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 신영무 (인)
【수수료】	
【기본출원료】	19 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	29,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 플래시 메모리의 블록을 두개의 बैं크로 나누고, 각각의 페이지 버퍼를 두개의 बैं크 사이에 위치 시켜, 입출력 라인을 공유하여, 비트라인의 길이를 짧게 할 수 있고, 데이터 센싱 속도를 개선할 수 있으며, 한 बैं크에서 읽기, 쓰기 또는 소거 동작을 수행할 때, 다른 बैं크에서는 다른 동작을 수행할 수 있는 플래시 메모리의 बैं크 분할 장치를 제공한다.

【대표도】

도 3

【색인어】

듀얼 बैं크, 페이지 버퍼, 스위치 수단, 캐시 버퍼

【명세서】

【발명의 명칭】

플래시 메모리의 뱅크 분할 장치{Apparatus of dividing bank of a flash memory}

【도면의 간단한 설명】

도 1은 종래의 낸드 플래시 메모리의 뱅크 구조를 나타낸 개념도이다.

도 2는 본 발명에 따른 낸드 플래시 메모리의 뱅크구조를 나타낸 개념도이다.

도 3은 본 발명의 페이지 버퍼부와 스위치 수단의 회로도 이다.

도 4a 및 도 4b는 본 발명의 낸드 플래시 메모리의 뱅크의 동작을 설명하기 위한 개념도 이다.

<도면의 주요 부분에 대한 부호의 설명>

10, 100, 500 : 뱅크 20, 200, 400 : 페이지 버퍼부

30 : 캐시 버퍼부 40, 600 : 입출력 라인

300 : 스위치 수단 210, 410 : 페이지 버퍼

220, 420 : 페이지 버퍼 선택 수단

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <10> 본 발명은 플래시 메모리의 बैं크 분할 방법에 관한 것으로, 특히 낸드 플래시의 बैं크 분할 방법에 관한 것이다.
- <11> 종래의 낸드 플래시 메모리는 매우 작은 셀 면적의 구현이 가능하여 고집적 메모리 소자에 적합하다. 하지만 첫 데이터를 읽을 때 걸리는 시간이 길고, 프로그램에 걸리는 시간이 길다. 또한, 한 동작이 수행되는 동안 다른 동작은 수행할 수 없는 단점이 있다.
- <12> 도 1은 종래의 낸드 플래시 메모리의 बैं크 구조를 나타낸 개념도이다.
- <13> 도 1을 참조하면, 낸드 플래시 메모리 बैं크(10)와 입출력 라인(40) 사이에 페이지 버퍼(Page Buffer; 20)와 캐시 버퍼(Cache Buffer; 30)를 추가하였다. 데이터 입력은 캐시 버퍼(30)를 통하여 페이지 버퍼(20)로 전달되고, 선택된 페이지가 프로그램 되는 동안 다음 페이지 프로그램을 수행하기 위한 데이터가 캐시 버퍼(30)로 전달된다. 이로써 종래의 단일 बैं크 구조에서의 읽고, 프로그램 하는 속도를 향상하였다. 캐시 버퍼(30)를 사용하면 프로그램을 수행하는 동안 데이터 입력 동작을 동시에 수행할 수 있고, 데이터를 출력하는 동안 다음 페이지를 페이지 버퍼(20)로 읽어올 수 있다. 하지만, 이 경우에도 기존과 같이, 리드(Read), 프로그램(Program) 또는 이레이저(Erase)가 수행되는 동안 다른 동작을 수행할 수 없게 되는 문제가 여전히 잔류하게 된다.

【발명이 이루고자 하는 기술적 과제】

- <14> 따라서, 본 발명은 상기의 문제점을 해결하기 위하여 플래시 메모리의 블록을 두개의 बैं크로 나누고, 각각의 페이지 버퍼를 두개의 बैं크 사이에 위치 시켜, 입출력 라인을 공유하여, 비트라인의 길이를 짧게 할 수 있고, 데이터 센싱 속도를 개선할 수 있으며, 한 बैं크에서 읽기, 쓰기 또는 소거 동작을 수행할 때, 다른 बैं크에서는 다른 동작을 수행할 수 있는 플래시 메모리의 बैं크 분할 장치.

【발명의 구성 및 작용】

- <15> 본 발명에 따른 입출력 라인을 공유하는 제 1 및 제 2 बैं크로 구성된 플래시 메모리에 있어서, 상기 제 1 बैं크의 비트라인에 접속되고, 상기 제 1 बैं크에/로부터 전송될 데이터를 버퍼링 하기 위한 제 1 페이지 버퍼와, 상기 제 2 बैं크의 비트라인에 접속되고, 상기 제 2 बैं크에/로부터 데이터를 버퍼링 하기 위한 제 2 페이지 버퍼와, 상기 제 1 페이지 버퍼와 제 1 노드 사이에 접속되고, 상기 제 1 페이지 버퍼에/로부터 전송될 데이터의 전송을 제어하기 위한 제 1 페이지 버퍼 선택 수단과, 상기 제 2 페이지 버퍼와 상기 제 1 노드 사이에 접속되고, 상기 제 2 페이지 버퍼에/로부터 전송될 데이터의 전송을 제어하기 위한 제 2 페이지 버퍼 선택 수단 및 상기 제 1 노드와 상기 입출력 라인 사이에 접속되고, 상기 제 1 및 제 2 페이지 버퍼 선택 수단과 입출력 라인 사이의 데이터 전송을 제어하기 위한 스위치 수단을 포함하는 것을 특징으로 하는 플래시 메모리의 बैं크 분할 장치를 제공한다.

- <16> 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 더욱 상세히 설명하기로 한다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 도면상에서 동일 부호는 동일한 요소를 지칭한다.
- <17> 도 2는 본 발명에 따른 낸드 플래시 메모리의뱅크구조를 나타낸 개념도이다.
- <18> 도 2를 참조하면, 제안된 칩 아키텍처는 전체 메모리 셀 어레이를 제 1 뱅크(100)와 제 2 뱅크(500)로 나누게 된다. 제 1 및 제 2 뱅크(100 및 500) 각각은 제 1 뱅크(100)를 페이지징하기 위한 제 1 페이지 버퍼부(200)와 제 2 뱅크(500)를 페이지징하기 위한 제 2 페이지 버퍼부(400)를 각기 가진다. 제 1 및 제 2 페이지 버퍼부(200 및 400)는 스위치수단(300)을 통해 같은 입출력 라인(600)을 공유한다.
- <19> 제 1 및 제 2 페이지 버퍼부(200 및 400)는 서로의 데이터를 주고받을 수 있고, 또한, 이를 통해 서로를 캐시 버퍼로 사용가능하게 하여 기존의 캐시 버퍼 동작뿐만 아니라 한쪽 뱅크에서 읽기, 쓰기 또는 소거 동작을 수행할 경우, 다른 뱅크에서는 다른 동작을 수행할 수 있다.
- <20> 도 3은 본 발명의 페이지 버퍼부와 스위치 수단의 회로도 이다.
- <21> 도 3을 참조하면, 제 1 및 제 2 페이지 버퍼부(200 및 400)는 뱅크의 비트라인 각각에 해당하는 다수의 페이지 버퍼와 페이지 버퍼 선택수단으로 구성된다.

<22> 구체적으로, 제 1 뱅크(100)의 제 1-1 내지 제 1-N 비트라인(BL00 내지 BL0N)은 제 1 페이지 버퍼부(200)내의 제 1-1 내지 제 1-N 페이지 버퍼(210-1 내지 210-N)에 각기 연결된다. 제 1-1 내지 제 1-N 페이지 버퍼(210-1 내지 210-N)는 제 1-1 내지 제 1-N 페이지 버퍼 선택 수단(220-1 내지 220-N)에 각기 연결된다. 제 2 뱅크(500)의 제 2-1 내지 제 2-N 비트라인(BL10 내지 BL1N)은 제 2 페이지 버퍼부(400)내의 제 2-1 내지 제 2-N 페이지 버퍼(410-1 내지 410-N)에 각기 연결된다. 제 2-1 내지 제 2-N 페이지 버퍼(410-1 내지 410-N)는 제 2-1 내지 제 2-N 페이지 버퍼 선택 수단(420-1 내지 420-N)에 각기 연결된다. 제 1-1 내지 제 1-N 페이지 버퍼 선택 수단(220-1 내지 220-N)과 제 2-1 내지 제 2-N 페이지 버퍼 선택 수단(420-1 내지 420-N) 각각은 서로 대응 되도록 연결된다. 또한, 서로 대응되도록 연결된 제 1-1 내지 제 1-N 페이지 버퍼 선택 수단(220-1 내지 220-N)과 제 2-1 내지 제 2-N 페이지 버퍼 선택 수단(420-1 내지 420-N)은 제 1 내지 제 N 스위치(310-1 내지 320-N)에 의해 각기 입출력 라인에 접속된다. N은 자연수(1, 2, 3....)이다.

<23> 전체의 페이지 버퍼, 페이지 버퍼 선택 수단과 스위치 각각은 동일한 구성을 갖고 있기 때문에 본 실시예에서는 제 1-1 및 제 2-1 페이지 버퍼(210-1 및 420-1), 제 1-1 및 제 2-1 페이지 버퍼 선택 수단(220-1 및 420-1)과, 제 1 스위치 수단(310-1)의 구성과 동작만을 설명하도록 하겠다.

<24> 제 1-1 페이지 버퍼(210-1)와 제 1-1 페이지 버퍼 선택 수단(220-1)은 제 1 뱅크(100)의 제 1-1 비트라인(BL00)과 제 1 노드(Q1) 사이에 직렬로 접속된다. 제 2-1 페이지 버퍼(410-1)와 제 2-1 페이지 버퍼 선택 수단(420-1)은 제 2 뱅크(500)의 제 2-1 비트라인(BL10)과 제 1 노드(Q1) 사이에 직렬로 접속된다. 제 1 스위치 수단(310-1)은 입출력 라인과 제 1 노드(Q1) 사이에 접속된다.

- <25> 구체적으로, 제 1-1 페이지 버퍼(210-1)는 제 1 내지 제 5 트랜지스터(T1 내지 T5)와 제 1 및 제 2 인버터(I1 및 I2)로 구성된 제 1 래치(L1)를 포함한다.
- <26> 제 1 트랜지스터(T1)는 제 1 뱅크(100) 부의 제 1-1 비트라인(BL00; 제 1-1 페이지 버퍼의 제 1 입출력단)과 제 2 노드(Q2)에 사이에 접속되고, 외부의 제 1 뱅크 비트라인 셀렉트 신호(BSL0)에 의해 구동된다. 제 2 트랜지스터(T2)는 제 2 노드(Q2)와 제 1-1 페이지 버퍼(210-1)의 제 2 입출력단 사이에 접속되고, 외부의 제 1 뱅크 프로그램 인에이블 신호(PGM0)에 의해 구동된다. 제 3 트랜지스터(T3)는 전원전압과 제 2 노드(Q2) 사이에 접속되고, 외부의 제 1 뱅크 프리차지 신호(PRE0)에 의해 구동된다. 제 4 및 제 5 트랜지스터(T4 및 T5)는 접지전원과 제 1 래치(L1)의 일 입력단 사이에 직렬로 접속되고, 각기 제 1 뱅크 래치 인에이블 신호(LATCH0)와 제 2 노드(Q2)에 의해 구동된다. 제 1 래치(L1)의 다른 일 입력단은 제 1-1 페이지 버퍼(210-1)의 제 2 입출력단에 접속된다.
- <27> 제 1 페이지 버퍼 선택 수단(220-1)은 제 1-1 페이지 버퍼(210-1)의 제 2 입출력단과 제 1 노드(Q1)사이에 접속되고, 외부의 제 1 제어신호(YA0)에 의해 구동되는 제 6 트랜지스터(T6)로 구성된다.
- <28> 제 2-1 페이지 버퍼(410-1)는 제 7 내지 제 11 트랜지스터(T7 내지 T11)와 제 3 및 제 4 인버터(I3 및 I4)로 구성된 제 2 래치(L2)를 포함한다.
- <29> 제 7 트랜지스터(T7)는 제 2 뱅크(500) 부의 제 2-1 비트라인(BL10; 제 2-1 페이지 버퍼의 제 1 입출력단)과 제 3 노드(Q3)에 사이에 접속되고, 외부의 제 2 뱅크 비트라인 셀렉트 신호(BSL1)에 의해 구동된다. 제 8 트랜지스터(T8)는 제 3 노드(Q3)와 제 2-1 페이지 버퍼(410-1)의 제 2 입출력단 사이에 접속되고, 외부의 제 2 뱅크 프로그램 인에이블 신호(PGM1)에

의해 구동된다. 제 9 트랜지스터(T9)는 전원전압과 제 3 노드(Q3) 사이에 접속되고, 외부의 제 2 뱅크 프리차지 신호(PRE1)에 의해 구동된다. 제 10 및 제 11 트랜지스터(T10 및 T11)는 접지전원과 제 2 래치(L2)의 일 입력단 사이에 직렬로 접속되고, 각기 제 2 뱅크 래치 인에이블 신호(LATCH1)와 제 3 노드(Q3)에 의해 구동된다. 제 2 래치(L2)의 다른 일 입력단은 제 2-1 페이지 버퍼(410-1)의 제 2 입출력단에 접속된다.

<30> 제 2-1 페이지 버퍼 선택 수단(420-1)은 제 2-1 페이지 버퍼(410-1)의 제 2 입출력단과 제 1 노드(Q1)사이에 접속되고, 외부의 제 2 제어신호(YA1)에 의해 구동되는 제 12 트랜지스터(T12)로 구성된다.

<31> 제 1 스위치 수단(310-1)은 제 1 노드(Q1)와 입출력 라인(I/O; 600)에 접속되고, 외부의 제 3 신호(YB)에 의해 구동되는 제 13 트랜지스터(T13)로 구성된다.

<32> 상기 회로와 뱅크의 동작을 이용하여 구체적인 듀얼 뱅크의 동작에 관해 설명하도록 한다.

<33> 먼저, 상술한 회로를 구성하는 요소들의 동작을 간략히 설명하면 다음과 같다. 제 1 트랜지스터(T1)는 제 1 뱅크 비트라인 셀렉트 신호(BSL0)에 의해 비트라인(BL00)을 선택하고, 제 2 트랜지스터(T2)는 프로그램시 제 1 래치(L1)와 비트라인(BL00)을 연결한다. 제 3 트랜지스터(T3)는 리드동작시 비트라인을 프리차지한다. 제 4 및 제 5 트랜지스터(T4 및 T5)는 리드시 제 1 뱅크(100)의 데이터를 센싱한다. 제 1 래치(L1)는 페이지 버퍼의 데이터를 저장한다. 제 6 트랜지스터(T6)는 외부의 제 1 제어신호(YA0; 어드레스 디코더 출력)에 의해 제 1 페이지 버퍼부(200)내의 페이지 버퍼를 선택한다. 제 7 트랜지스터(T7)는 제 2 뱅크 비트라인 셀렉트 신호(BSL0)에 의해 비트라인(BL10)을 선택하고, 제 8 트랜지스터(T8)는 프로그램시 제 2 래치(L2)와 비트라인(BL10)을 연결한다. 제 9 트랜지스터(T9)는 리드동작시 비트라인을 프리차지한

다. 제 10 및 제 11 트랜지스터(T10 및 T11)는 리드시 제 2 뱅크(500)의 데이터를 센싱한다. 제 2 래치(L2)는 페이지 버퍼의 데이터를 저장한다. 제 12 트랜지스터(T12)는 외부의 제 2 제어 신호(YA1; 어드레스 디코더의 출력)에 의해 제 2 페이지 버퍼부(400)내의 페이지 버퍼를 선택한다.

<34> 구체적인, 뱅크 동작을 통하여 상기의 회로와 뱅크의 동작을 설명하면 다음과 같다. 제 1 뱅크(100)에 리드 동작이 수행되면, 제 1 뱅크 비트라인 선택 신호(BLS0)와 제 1 트랜지스터(T1)를 통해 제 1-1 비트라인(BL00)이 선택된다. 제 1 뱅크 프리 차지 신호(PRE0)와 제 3 트랜지스터(T3)에 의해 제 2 노드(Q2)가 프리 차지되고, 제 1 뱅크 프로그램 인에이블 신호(PGM0)와 제 2 트랜지스터(T2)에 의해 제 1-1 비트라인(BL00)의 데이터 값을 제 1 래치(L1)에 저장을 하게 된다.

<35> 외부의 제 1 제어신호(YA0)에 의해 제 1-1 페이지 버퍼 선택 수단(220-1)의 제 6 트랜지스터(T6)가 구동하여 제 1 래치(L1)의 데이터 값을 전송한다. 이때 제 3 제어신호(YB)에 의해 제 1 스위치 수단(310-1)의 제 13 트랜지스터(T13)가 구동하여 입출력 라인(600)으로 제 1 래치(L1)의 데이터 값을 전송하거나, 제 2 제어신호(YA1)에 의해 제 2-1 페이지 버퍼 선택 수단(420-1)의 제 12 트랜지스터(T12)가 구동하여 제 1 래치(L1)의 데이터 값을 제 2 래치(L2)로 전송한다.

<36> 제 1 뱅크(100)에 프로그램 동작이 수행되면, 입출력 라인(600)의 데이터는 제 3 제어신호(YB)와 제 1 제어신호(YA0)에 의해 각기 제 13 트랜지스터(T13)와 제 6 트랜지스터(T6)가 구동하여 제 1 래치(L1)에 전송된다. 또는, 제 2 제어신호(YA1)와 제 1 제어신호(YA0)에 의해 제 2 뱅크(500)의 비트라인 데이터 값은 제 12 트랜지스터(T12)와 제 6 트랜지스터(T6)를 통하여 제 1 래치(L1)에 전송된다. 제 1 래치(L1)에 전송된 데이터는 래치된 후 제 1 뱅크 프로그램

인에이블 신호(PGM0)와 비트라인 셀렉트 신호(BSL0)등에 의해 제 1 뱅크(100)의 제 1-1 비트라인(BL00)에 전송된다. 제 1 뱅크(100)의 이레이저 동작은 특별히 한정되지 않고, 플래시 소자의 이레이저 동작과 동일함으로 생략하기로 한다. 제 2 뱅크(500)에 리드, 프로그램 및 이레이저 동작은 제 1 뱅크(100)와 동일하기 때문에 생략하기로 한다.

<37> 도 4를 참조하여 본 실시예의 플래시 메모리의 뱅크 동작을 예를 들어 설명하도록 한다.

<38> 도 4a 및 도 4b는 본 발명의 낸드 플래시 메모리의 뱅크의 동작을 설명하기 위한 개념도이다.

<39> 도 2, 도 3 및 도 4a를 참조하면, 제 1 뱅크에 프로그램 동작이 수행되고, 제 2 뱅크에 리드 동작이 수행될 경우를 살펴보면 다음과 같다. 도 4a에서와 같이 외부의 입출력 라인으로부터 제 1 뱅크(100)에 입력될 데이터가 제 1 페이지 버퍼부(200)에 전송된다. 한편, 제 2 뱅크(500)는 외부의 리드 신호에 의해 리드될 데이터를 제 2 페이지 버퍼부(400)에 전송한다. 이때 외부의 제어신호(YB, YA0, YA1)에 의해 제 13 및 제 6 트랜지스터(T13 및 T6)가 턴온되고, 제 12 트랜지스터(T12)는 턴오프 된다.

<40> 제 1 페이지 버퍼부(200)에 버퍼링된 데이터는 제 1 뱅크(100)에 프로그램되고, 제 2 페이지 버퍼부(400)에 버퍼링된 데이터는 입출력 라인(600)을 통해 외부로 전송된다. 이때 외부의 제어신호에 의해 제 6 트랜지스터(T6)는 턴오프 되고, 제 12 및 제 13 트랜지스터(T12 및 T13)가 턴온된다. 제 1 뱅크(100)의 프로그램 동작 동안 제 2 뱅크(500)는 다음번 리드 동작을 상기와 같은 방법으로 수행하게 된다.

- <41> 도 2, 도 3 및 도 4b를 참조하면, 제 1 뱅크(100)에 이레이저 동작이 수행되고, 제 2 뱅크(500)에 리드 동작이 수행될 경우를 살펴보면 다음과 같다. 도 4b에서와 같이, 제 1 뱅크(100)는 외부의 이레이저 신호에 의해 이레이저 동작을 수행하게 된다. 한편, 제 2 뱅크(200)는 외부의 리드 신호에 의해 리드될 데이터를 제 2 페이지 버퍼부(400)에 전송한다. 이때 외부의 제어 신호에 의해 제 6, 제 12 및 제 13 트랜지스터(T6, T12 및 T13)가 턴오프 된다.
- <42> 제 2 페이지 버퍼부(400)에 버퍼링된 데이터는 입출력 라인(600)을 통해 외부로 전송된다. 이때 외부의 제어신호에 의해 제 6 트랜지스터(T6)는 턴오프 되고, 제 12 및 제 13 트랜지스터(T12 및 T13)가 턴온된다.
- <43> 제 1 뱅크(100)의 이레이저 동작이 완료할때까지 상술한 바와 같이 제 2 뱅크(500)는 리드 동작을 수행하게 된다.
- <44> 또한, 제 1 뱅크(100)의 데이터가 제 2 뱅크(500)로 바로 전달 될 수 있다. 즉, 제 1 페이지 버퍼부(200)에 버퍼링 된 데이터가 제 2 페이지 버퍼부(400)로 전송될 수 있다. 이때 외부의 제어 신호에 의해 제 6 및 제 12 트랜지스터(T6 및 T12)는 턴온되고, 제 13 트랜지스터(T13)는 턴오프된다.
- <45> 이와 같이, 본 발명의 뱅크 구조는 듀얼 뱅크의 형태로써, 제 1 뱅크(100)에서 리드, 프로그램, 이레이저 동작을 수행할 경우, 제 2 뱅크(500)에서도 리드, 프로그램, 이레이저 동작을 수행할 수 있다. 리드, 프로그램, 이레이저 동작은 페이지 별로 이루어진다. 상술한 동작들은 본 실시예의 회로도와 앞서 예시한 동작으로 당업자라면 다양한 형태로 충분히 실시할 수 있다.

<46> 상술한 동작에 한정되지 않고, 상술한 제 1 및 제 2 페이지 버퍼부(200 및 400)중 적어도 어느 하나를 캐시 버퍼로 사용하여 캐시 프로그램 동작을 수행할 수 있다. 예를 들어 제 2 페이지 버퍼부(400)를 캐시 버퍼로 사용하여 제 1 뱅크(100)를 프로그램 하기 위해 먼저 제 2 페이지 버퍼부(400)에 데이터를 입력한 다음 제 1 페이지 버퍼(200)로 데이터를 전달한다. 제 1 뱅크(100)를 프로그램하는 동안 다음 페이지를 위한 데이터가 캐시 버퍼인 제 2 페이지 버퍼부(400)에 전달된다.

<47> 또한, 제 2 페이지 버퍼부(400)를 캐시 버퍼로 사용하여 제 1 뱅크(100)를 리드하기 위해, 제 1 뱅크(100)의 데이터가 제 1 페이지 버퍼부(200)로 전송된다. 제 1 페이지 버퍼부(200)의 데이터는 다시 캐시 버퍼로 사용되는 제 2 페이지 버퍼부(400)로 전송된다. 제 2 페이지 버퍼부(400)의 데이터는 입출력 라인을 통해 출력된다. 이때 제 1 뱅크(100)의 다음 페이지가 제 1 페이지 버퍼부(200)로 전송된다.

【발명의 효과】

<48> 상술한 바와 같이, 본 발명은 플래시 메모리의 블록을 두개의 뱅크로 나누고, 각각의 페이지 버퍼를 두개의 뱅크 사이에 위치 시켜, 입출력 라인을 공유하여, 비트라인의 길이를 짧게 할 수 있다.

<49> 또한, 데이터 센싱 속도를 개선할 수 있으며, 한 뱅크에서 읽기, 쓰기 또는 소거 동작을 수행할 때, 다른 뱅크에서는 다른 동작을 수행할 수 있다.

【특허청구범위】**【청구항 1】**

입출력 라인을 공유하는 제 1 및 제 2 뱅크로 구성된 플래시 메모리에 있어서,

상기 제 1 뱅크의 비트라인에 접속되고, 상기 제 1 뱅크에/로부터 전송될 데이터를 버퍼링 하기 위한 제 1 페이지 버퍼;

상기 제 2 뱅크의 비트라인에 접속되고, 상기 제 2 뱅크에/로부터 데이터를 버퍼링 하기 위한 제 2 페이지 버퍼;

상기 제 1 페이지 버퍼와 제 1 노드 사이에 접속되고, 상기 제 1 페이지 버퍼에/로부터 전송될 데이터의 전송을 제어하기 위한 제 1 페이지 버퍼 선택 수단;

상기 제 2 페이지 버퍼와 상기 제 1 노드 사이에 접속되고, 상기 제 2 페이지 버퍼에/로부터 전송될 데이터의 전송을 제어하기 위한 제 2 페이지 버퍼 선택 수단; 및

상기 제 1 노드와 상기 입출력 라인 사이에 접속되고, 상기 제 1 및 제 2 페이지 버퍼 선택 수단과 입출력 라인 사이의 데이터 전송을 제어하기 위한 스위치 수단을 포함하는 것을 특징으로 하는 플래시 메모리의 뱅크 분할 장치.

【청구항 2】

제 1 항에 있어서, 상기 제 1 페이지 버퍼 선택 수단은,

상기 제 1 페이지 버퍼와 상기 제 1 노드 사이에 접속되고, 외부의 제 1 제어 신호에 의해 동작하는 제 1 트랜지스터를 포함하는 것을 특징으로 하는 플래시 메모리의뱅크 분할 장치.

【청구항 3】

제 1 항에 있어서, 상기 제 2 페이지 버퍼 선택 수단은,

상기 제 2 페이지 버퍼와 상기 제 2 노드 사이에 접속되고, 외부의 제 2 제어 신호에 의해 동작하는 제 2 트랜지스터를 포함하는 것을 특징으로 하는 플래시 메모리의뱅크 분할 장치.

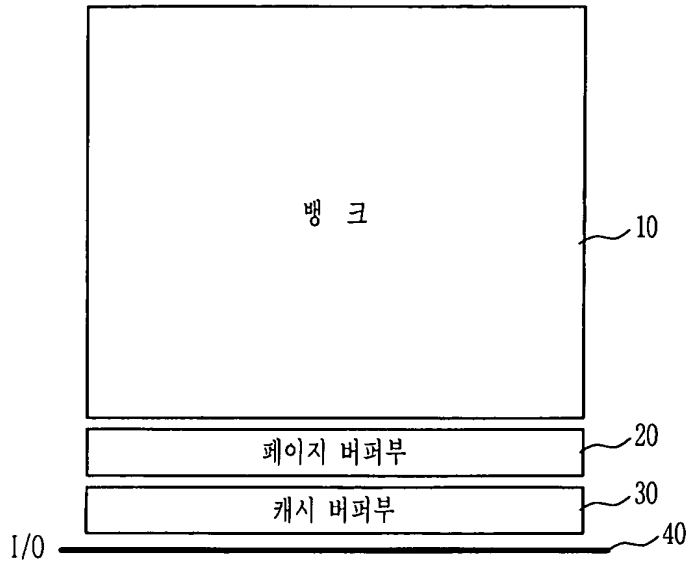
【청구항 4】

제 1 항에 있어서, 상기 스위치 수단은,

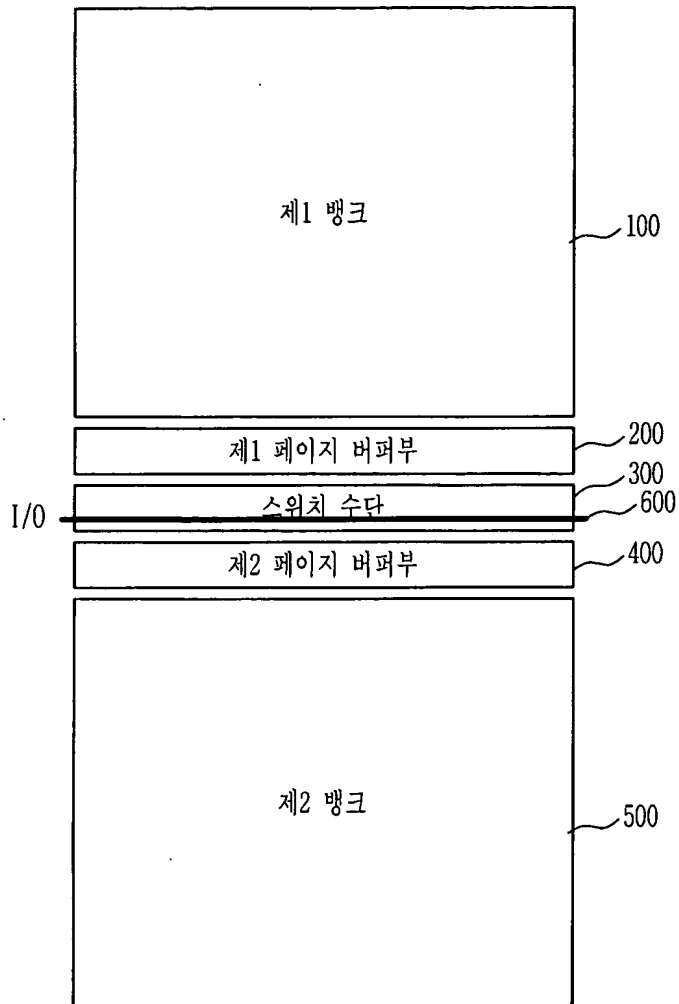
상기 제 1 노드와 상기 입출력 라인 사이에 접속되고, 외부의 제 3 제어 신호에 의해 동작하는 제 3 트랜지스터를 포함하는 것을 특징으로 하는 플래시 메모리의뱅크 분할 장치.

【도면】

【도 1】



【도 2】

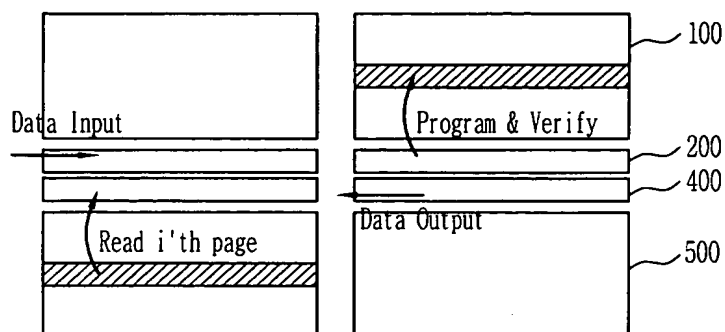


I/O



【도 4】

(a)



(b)

